

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiichi FURUYA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREEWITH

FOR: SEMICONDUCTOR DEVICE HAVING POLY-POLY CAPACITOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**: Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-011948	January 21, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

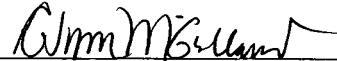
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 1月21日

出願番号

Application Number: 特願2003-011948

[ST.10/C]:

[JP2003-011948]

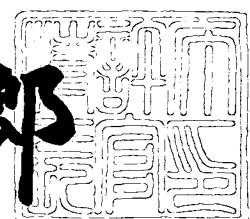
出願人

Applicant(s): 三菱電機株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3007900

【書類名】 特許願
【整理番号】 541818JP01
【提出日】 平成15年 1月21日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
【発明者】
【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内
【氏名】 吉谷 啓一
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 山本 文寿
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 吉久 康樹
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 基板表面に形成された第1導電型拡散層と、
前記第1導電型拡散層上に形成されたゲート酸化膜と、
前記ゲート酸化膜上に形成され、第1導電型又は第2導電型のドーパントでドープされた第1ポリシリコン層とを有するMOSキャパシタと、
前記第1ポリシリコン層と、
前記第1ポリシリコン層上に形成された第1誘電層と、
前記第1誘電層上に形成され、第1導電型又は第2導電型のドーパントでドープされた第2ポリシリコン層とを有するPoly-Polyキャパシタとを備える半導体装置であって、

前記Poly-Polyキャパシタは、前記MOSキャパシタ上に積層され、
前記第1導電型拡散層と第2ポリシリコン層とは、同一の第1金属配線と電気的に接続されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置であって、
前記第1導電型拡散層と、
前記第1導電型拡散層下に形成された第2導電型拡散層とを有するPN接合キャパシタをさらに備え、
第2導電型のドーパントでドープされた前記第1ポリシリコン層は、前記第2導電型拡散層と電気的に接続されていることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置であって、
前記第1ポリシリコン層と電気的に接続している第2金属配線と、
前記第2金属配線上に形成された第2誘電層と、
前記第2誘電層上に形成され、前記第1金属配線と電気的に接続している第3金属配線とを有するMIMキャパシタをさらに備えることを特徴とする半導体装置。

【請求項4】 請求項1に記載の半導体装置であって、
前記第1導電型拡散層下には、第2導電型拡散層が形成され、

前記第1導電型拡散層及び前記第2導電型拡散層を素子領域ごとに分離するトレンチ分離酸化膜と、

前記トレンチ分離酸化膜の両側壁に形成され、一部が前記第1導電型拡散層と接する第1導電型トレンチ側壁拡散層とを有するトレンチ分離酸化膜キャパシタをさらに備え、

前記トレンチ分離酸化膜を介して前記MOSキャパシタが形成された素子と隣接する素子の前記第1導電型拡散層と前記第1ポリシリコン層とを前記第2金属配線により電気的に接続していることを特徴とする半導体装置。

【請求項5】 スパイラル形状の第1ポリシリコン電極と、

前記第1ポリシリコン電極の形状に沿って平行に形成されるスパイラル形状の第2ポリシリコン電極と、

前記第1ポリシリコン電極と前記第2ポリシリコン電極との間に挟まれた第3誘電層とを有する第1Poly-Polyキャパシタ、

を備える半導体装置。

【請求項6】 請求項5に記載の半導体装置であって、

前記第3誘電層は、半導体基板上に形成される層間絶縁膜よりも高い誘電率を有することを特徴とする半導体装置。

【請求項7】 請求項5に記載の半導体装置であって、

スパイラル形状の第3ポリシリコン電極と、

前記第3ポリシリコン電極の形状に沿って平行に形成されるスパイラル形状の第4ポリシリコン電極と、

前記第3ポリシリコン電極と前記第4ポリシリコン電極との間に挟まれた第4誘電層とを有する第2Poly-Polyキャパシタをさらに備え、

前記第1ポリシリコン電極上に前記第4ポリシリコン電極が、前記第2ポリシリコン電極上に前記第3ポリシリコン電極が位置するように、前記第2Poly-Polyキャパシタが第5誘電層を介して前記第1Poly-Polyキャパシタ上に配置され、

前記第1ポリシリコン電極と前記第3ポリシリコン電極とを、前記第2ポリシリコン電極と前記第4ポリシリコン電極とをそれぞれ電気的に接続すること特徴

とする半導体装置。

【請求項8】 請求項7に記載の半導体装置であって、

前記第1ポリシリコン電極と前記第3ポリシリコン電極とを、前記第2ポリシリコン電極と前記第4ポリシリコン電極とをそれぞれ直接接続すること特徴とする半導体装置。

【請求項9】 請求項7に記載の半導体装置であって、

前記第3誘電層、前記第4誘電層及び前記第5誘電層は、半導体基板上に形成される層間絶縁層よりも高い誘電率を有することを特徴とする半導体装置。

【請求項10】 請求項7乃至請求項9のいずれかに記載の半導体装置であって、

前記第1ポリシリコン電極及び前記第2ポリシリコン電極と、

前記第1ポリシリコン電極及び前記第2ポリシリコン電極下に形成されるゲート酸化膜と、

前記ゲート酸化膜下に形成される第1導電型又は第2導電型の拡散層とを有するMOSキャパシタをさらに備え、

前記第4ポリシリコン電極と前記拡散層とは、同一の金属配線と電気的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係る発明であって、特に、大容量キャパシタを有し、過度の微細加工を不要とする半導体装置に関するものである。

【0002】

【従来の技術】

従来の半導体装置においてキャパシタ素子は、MOSキャパシタやポリシリコン電極間に構成されるキャパシタ（以下、Poly-Polyキャパシタという）などで形成していた。ここで、Poly-PolyキャパシタはMOSキャパシタに比べ、V-C特性において直線性が良い。そのため、Poly-Polyキャパシタは、MOSキャパシタに比べ高精度のキャパシタ素子である。しかし

、 Poly-Polyキャパシタの構造は、下部電極のポリシリコン層と上部電極のポリシリコン層とで誘電層を挟む構造である。そのため、 Poly-Polyキャパシタには、必ず2層のポリシリコン層を形成しなければならず、製造プロセスを増加させる問題があった。

【0003】

近年、機器の小型化に伴い、それに載せる半導体装置のチップ面積も縮小される傾向にある。また、コスト削減の面からも半導体装置のチップ面積は縮小される傾向である。チップ面積の縮小に伴い、キャパシタ素子を形成する面積も縮小される。そのため、縮小された面積で従来と同様の容量を維持するためには、キャパシタ素子のキャパシタンス密度を上げる必要がある。その解決策の1つとして、MOSキャパシタとPoly-Polyキャパシタの積層キャパシタがある。このMOSキャパシタとPoly-Polyキャパシタの積層キャパシタは、半導体基板に形成された高拡散層上にゲート酸化膜と第1ポリシリコン層とを積層してMOSキャパシタを形成し、第1ポリシリコン層上に誘電層と第2ポリシリコン層を積層してPoly-Polyキャパシタを形成した構造である。

【0004】

このMOSキャパシタとPoly-Polyキャパシタの積層キャパシタは、第1ポリシリコン層をMOSキャパシタとPoly-Polyキャパシタとで共通に利用しているため、製造プロセスを低減ができ、且つキャパシタンス密度を上げることができる。このMOSキャパシタとPoly-Polyキャパシタの積層キャパシタの詳細な構造や製造方法については、特許文献1に記載されている。

【0005】

【特許文献1】

特開2002-9163号公報（第4-6頁、第1-4図）

【0006】

【発明が解決しようとする課題】

従来の技術で示したMOSキャパシタとPoly-Polyキャパシタの積層キャパシタは、製造プロセスを低減ができ、且つキャパシタンス密度を上げるこ

とができる。しかし、MOSキャパシタとP_o1y-P_o1yキャパシタの積層キャパシタは、高拡散層、第1ポリシリコン層及び第2ポリシリコン層の3つの電極を有しているため、それぞれの電極と接続するための配線を形成しなくてはならない。これらの配線は、狭い領域に配線されるため、それぞれの配線の幅やピッチも狭くなる。よって、これらの配線を形成するためには、過度の微細加工をする必要があるため、製造が困難であったり、コストがかかったりする問題があった。

【0007】

また、MOSキャパシタとP_o1y-P_o1yキャパシタの積層キャパシタで、さらにキャパシタンス密度を上げるために、誘電層の材料をより誘電率の高い材料にするか、P_o1y-P_o1yキャパシタをさらに積層する方法が考えられる。しかし、これらの方では、製造プロセスが増加したり、製造コストが高くなったりする問題があった。

【0008】

そこで、本発明は、MOSキャパシタとP_o1y-P_o1yキャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供することを目的とする。また、製造プロセスや製造コストの増加を抑え、キャパシタンス密度を上げることができる半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明に係る解決手段は、基板表面に形成された第1導電型拡散層と、第1導電型拡散層上に形成されたゲート酸化膜と、ゲート酸化膜上に形成され、第1導電型又は第2導電型のドーパントでドープされた第1ポリシリコン層とを有するMOSキャパシタと、第1ポリシリコン層と、第1ポリシリコン層上に形成された第1誘電層と、第1誘電層上に形成され、第1導電型又は第2導電型のドーパントでドープされた第2ポリシリコン層とを有するP_o1y-P_o1yキャパシタとを備える半導体装置であって、P_o1y-P_o1yキャパシタは、MOSキャパシタ上に積層され、前記第1導電型拡散層と第2ポリシリコン層とは、同一

の第1金属配線と電気的に接続されている。

【0010】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0011】

(実施の形態1)

図1に、本実施の形態に係る半導体装置の断面図を示す。半導体基板上にN型又はP型ドーパントでドープした高電導拡散層1が形成される(図1の高電導拡散層1はN型ドーパントでドープされている)。高電導拡散層1の表面に、高電導拡散層1を酸化することでゲート酸化膜2が形成される。さらに、ゲート酸化膜2上にN型又はP型ドーパントでドープした第1ポリシリコン層3が形成される。以上、半導体基板上の高電導拡散層1、ゲート酸化膜2及び第1ポリシリコン層3によってMOSキャパシタを構成している。

【0012】

次に、第1ポリシリコン層3上に誘電層4が形成される。さらに、誘電層4上にN型又はP型ドーパントでドープした第2ポリシリコン層5が形成される。以上、第1ポリシリコン層3、誘電層4及び第2ポリシリコン層5によってP_o1y-P_o1yキャパシタを構成している。本実施の形態では、第1ポリシリコン層3を共通の電極としてMOSキャパシタ上にP_o1y-P_o1yキャパシタを積層した構成である。なお、図1では、半導体基板上に素子分離のためのLOCOS(Local Oxidation of Silicon)10が形成されている。

【0013】

次に、誘電層4及び第2ポリシリコン層5上に、絶縁層11が形成される。そして、絶縁層11上に第1アルミ配線12が形成され、第1アルミ配線12は、コンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続されている。つまり、高電導拡散層1と第2ポリシリコン層5とが、同一のコンタクトホール13によって電気的に接続されている。また、絶縁層11上に第2アルミ配線14が形成され、第2アルミ配線14は、コンタクトホール

15を介して第1ポリシリコン層3と電気的に接続されている。

【0014】

本実施の形態では、第1アルミ配線12がコンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続しているため、従来のように高電導拡散層1と第2ポリシリコン層5とが別々のアルミ配線と電気的に接続するように構成した場合に比べ、第1アルミ配線12の配置できる面積が増加する。そのため、第1アルミ配線12の配線幅を太くすることや配線間隔を広くすることができる。よって、本実施の形態では、MOSキャパシタとP_{01y}-P_{01y}キャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供することができる。

【0015】

(実施の形態2)

図2に、本実施の形態に係る半導体装置の断面図を示す。半導体基板上にN型又はP型ドーパントでドープした拡散層20が形成される。拡散層20上に拡散層20と異なる導電型のドーパントでドープした高電導拡散層1が形成される(図2の拡散層20はN型ドーパントでドープされ、高電導拡散層1はP型ドーパントでドープされている)。以上、拡散層20と高電導拡散層1によってPN接合キャパシタを構成している。

【0016】

次に、高電導拡散層1の表面に、高電導拡散層1を酸化することでゲート酸化膜2が形成される。ゲート酸化膜2上に拡散層20と同じ導電型のドーパントでドープした第1ポリシリコン層3が形成される。以上、半導体基板上の高電導拡散層1、ゲート酸化膜2及び第1ポリシリコン層3によってMOSキャパシタを構成している。

【0017】

次に、第1ポリシリコン層3上に誘電層4が形成される。さらに、誘電層4上にN型又はP型ドーパントでドープした第2ポリシリコン層5が形成される。以上、第1ポリシリコン層3、誘電層4及び第2ポリシリコン層5によってP_{01y}-P_{01y}キャパシタを構成している。本実施の形態では、高電導拡散層1を

共通の電極としてP N接合キャパシタ上にM O Sキャパシタを積層し、第1ポリシリコン層3を共通の電極としてM O Sキャパシタ上にP o l y-P o l yキャパシタを積層した構成である。

【0018】

次に、誘電層4及び第2ポリシリコン層5上に、絶縁層11が形成される。そして、絶縁層11上に第1アルミ配線12が形成され、第1アルミ配線12は、コンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続されている。つまり、高電導拡散層1と第2ポリシリコン層5とが、同一のコンタクトホール13によって電気的に接続されている。また、絶縁層11上に第2アルミ配線14が形成され、第2アルミ配線14は、コンタクトホール15を介して第1ポリシリコン層3と電気的に接続されている。さらに、半導体基板上は、L O C O S 1 0によって素子ごとに分離おり、高電導拡散層1が形成された素子にL O C O S 1 0を介して隣接する拡散層20上に拡散層20と同じ導電型のドーパントでドープした高電導拡散層21が形成される（図2の高電導拡散層21はN型ドーパントでドープされている）。この高電導拡散層21は、第1ポリシリコン層3と電気的に接続されている。これにより、M O Sキャパシタ、P o l y-P o l yキャパシタ及びP N接合キャパシタが並列に接続された構成となる。

【0019】

本実施の形態では、実施の形態1で示したM O Sキャパシタの高電導拡散層1の下層に、高電導拡散層1と異なる導電型のドーパントでドープした拡散層20を設けることで、高電導拡散層1と拡散層20との接合面でP N接合キャパシタを構成している。そのため、実施の形態1と同様、第1アルミ配線12の配線幅を太くすることや配線間隔を広くすることができ、過度の微細加工が不要な構造の半導体装置を提供することができる。さらに、本実施の形態では、実施の形態1の構成を生かしつつ、わずかな製造プロセスを追加するだけでP N接合キャパシタを追加でき、キャパシタンス密度を高い半導体装置を提供することができる。

【0020】

(実施の形態3)

図3に、本実施の形態に係る半導体装置の断面図を示す。本実施の形態は、MOSキャパシタとP_ol_y-P_ol_yキャパシタの積層キャパシタ上に、MIM(Metal-Insulator-Metal)キャパシタを積層した構成である。そのため、図3において実施の形態1と同一の構成については、図1と同一の符号が付されている。

【0021】

図3では、半導体基板上の高電導拡散層1、ゲート酸化膜2及び第1ポリシリコン層3によってMOSキャパシタを構成し、第1ポリシリコン層3、誘電層4及び第2ポリシリコン層5によってP_ol_y-P_ol_yキャパシタを構成している。絶縁層11上に第1アルミ配線12が形成され、第1アルミ配線12は、コンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続されている。また、絶縁層11上に第2アルミ配線14が形成され、第2アルミ配線14は、コンタクトホール15を介して第1ポリシリコン層3と電気的に接続されている。

【0022】

さらに、第1アルミ配線12及び第2アルミ配線14上に、絶縁層30が形成される。この絶縁層30には、第1アルミ配線12と接続するためのコンタクトホール31と、第2アルミ配線14と接続するためのコンタクトホール32とが設けられている。コンタクトホール32には、誘電層33が積層される。その後、コンタクトホール31及びコンタクトホール32上に第3アルミ配線34が積層される。コンタクトホール32において、第2アルミ配線14上に誘電層33と第3アルミ配線34とが積層されたMIMキャパシタが構成されている。これにより、MOSキャパシタ、P_ol_y-P_ol_yキャパシタ及びMIMキャパシタが並列に接続された構成となる。

【0023】

本実施の形態では、実施の形態1で示したP_ol_y-P_ol_yキャパシタの第1ポリシリコン層3と接続された第2アルミ配線14を利用して、その上層に、誘電層33と第3アルミ配線34を積層することで、MIMキャパシタが構成さ

れる。そのため、実施の形態1と同様、第1アルミ配線12の配線幅を太くすることや配線間隔を広くすることができ、過度の微細加工が不要な構造の半導体装置を提供することができる。さらに、本実施の形態では、実施の形態1の構成を生かしつつ、わずかな製造プロセスを追加するだけでMIMキャパシタを追加でき、キャパシタンス密度を高い半導体装置を提供することができる。

【0024】

(実施の形態4)

図4に、本実施の形態に係る半導体装置の断面図を示す。本実施の形態は、MOSキャパシタとPoly-Polyキャパシタの積層キャパシタに、トレンチ酸化膜キャパシタを追加した構成である。そのため、図4において実施の形態1と同一の構成については、図1と同一の符号が付されている。

【0025】

図4では、半導体基板上の高電導拡散層1、ゲート酸化膜2及び第1ポリシリコン層3によってMOSキャパシタを構成し、第1ポリシリコン層3、誘電層4及び第2ポリシリコン層5によってPoly-Polyキャパシタを構成している。絶縁層11上に第1アルミ配線12が形成され、第1アルミ配線12は、コントакトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続されている。

【0026】

さらに、高電導拡散層1の下層に、高電導拡散層1と異なる導電型のドーパントでドープした拡散層40が形成される。拡散層40の下層に、埋め込み酸化膜41が形成される。そして、高電導拡散層1及び拡散層40は、トレンチ酸化膜層42により素子ごとに分離されている。このトレンチ酸化膜層42の両側壁には、高電導拡散層1と同じ導電型のドーパントでドープした側壁拡散層43が形成される。以上、トレンチ酸化膜層42及び側壁拡散層43によって、誘電層がトレンチ酸化膜層42、両極が側壁拡散層43とするトレンチ酸化膜キャパシタを構成している。ここで、側壁拡散層43は、高電圧が印加される素子において埋め込み酸化膜41から生じる空乏化を抑制すること、及びトレンチ分離酸化膜層42に掛かる電圧を抑制することにも利用される。

【0027】

絶縁層11上には、第2アルミ配線14が形成されている。この第2アルミ配線14は、コンタクトホール15を介して第1ポリシリコン層3と電気的に接続されている。さらに、第2アルミ配線14は、コンタクトホール44介して高電導拡散層1と電気的に接続されている。第2アルミ配線14と接続された高電導拡散層1は、P_o1y-P_o1yキャパシタが形成されている素子領域とトレンチ酸化膜層42を介して隣接する素子領域に形成されている。これにより、MOSキャパシタ、P_o1y-P_o1yキャパシタ及びトレンチ酸化膜キャパシタが並列に接続された構成となる。

【0028】

本実施の形態では、実施の形態1で示したMOSキャパシタとP_o1y-P_o1yキャパシタの積層キャパシタを利用して、それとは別に、トレンチ酸化膜層42及び側壁拡散層43を設けることで、トレンチ酸化膜キャパシタが構成される。そのため、実施の形態1と同様、第1アルミ配線12の配線幅を太くすることや配線間隔を広くすることができ、過度の微細加工が不要な構造の半導体装置を提供することができる。さらに、SOIを用いた半導体装置においては、トレンチ酸化膜層42が素子形成領域を分離する製造工程で形成することができるため、新たな製造プロセスを追加する必要がない。また、SOIを用いた半導体装置においては、トレンチ酸化膜層42が高耐圧性を有するため、キャパシタンス密度が高い高電圧キャパシタを有する半導体装置を提供することができる。

【0029】

(実施の形態5)

図5に、本実施の形態に係るP_o1y-P_o1yキャパシタの平面図を示す。また、図6に、本実施の形態に係るP_o1y-P_o1yキャパシタの断面図を示す。図6は、図5のI-I面の断面図を示す。本実施の形態に係るP_o1y-P_o1yキャパシタは、半導体基板を酸化することで形成したLOCOS50上に形成される。このP_o1y-P_o1yキャパシタは、スパイラル形状をした第1ポリシリコン電極51、第1ポリシリコン電極51の形状に沿って平行にスパイラル形状をした第2ポリシリコン電極52及びその間に挟まれた第1誘電層53

とで構成されている。

【0030】

図6に示すように、層間絶縁層54中に第1ポリシリコン電極51及び第2ポリシリコン電極52を形成すれば、この層間絶縁層54が第1誘電層53となる。また、第1ポリシリコン電極51及び第2ポリシリコン電極52の両端には、他の配線と接続するためのコンタクトホール55がそれぞれ形成されている。なお、第1ポリシリコン電極51及び第2ポリシリコン電極52は、N型又はP型ドーパントでドープされている。

【0031】

本実施の形態に係るスパイラル形状のPoly-Polyキャパシタは、第1ポリシリコン電極51と第2ポリシリコン電極52との線間容量を利用した大容量キャパシタを形成することができる。そして、MOSトランジスタのゲートを形成するとき同時に第1ポリシリコン電極51及び第2ポリシリコン電極52を形成することができる。そのため、特に新たな製造プロセスを追加することなく、本実施の形態に係るスパイラル形状のPoly-Polyキャパシタを形成することができる。従って、本実施の形態では、新たな製造プロセスを追加することなく、キャパシタンス密度が高い半導体装置を提供することができる。

【0032】

さらに、本実施の形態の変形例として、第1ポリシリコン電極51と第2ポリシリコン電極52との間の第1誘電層53を層間絶縁層54よりも高い誘電率を有する材料に変更することで、本実施の形態に係るPoly-Polyキャパシタは、さらにキャパシタンス密度の高い大容量キャパシタを形成することができる。これは、第1ポリシリコン電極51と第2ポリシリコン電極52との間のみ層間絶縁層54から他の誘電率の高い材料に変更するため、半導体装置内の他の素子の性能に悪影響を与えることなく、本実施の形態に係るPoly-Polyキャパシタのキャパシタンス密度を上げることができる。

【0033】

(実施の形態6)

図7に、本実施の形態に係るPoly-Polyキャパシタの平面図を示す。

また、図8及び図9に、本実施の形態に係るPoly-Polyキャパシタの断面図を示す。図7は、図8及び図9のI—I面の断面図を示す。本実施の形態に係るPoly-Polyキャパシタも、半導体基板を酸化することで形成したLOCOS50上に形成される。まず、図8に示すスパイラル形状のPoly—Polyキャパシタ71(図7の下側)は、スパイラル形状をした第1ポリシリコン電極81、第1ポリシリコン電極81の形状に沿って平行にスパイラル形状をした第2ポリシリコン電極82及びその間に挟まれた第1誘電層83とで構成されている。

【0034】

次に、図9に示すスパイラル形状のPoly—Polyキャパシタ72(図7の上側)は、スパイラル形状をした第3ポリシリコン電極91、第3ポリシリコン電極91の形状に沿って平行にスパイラル形状をした第4ポリシリコン電極92及びその間に挟まれた第2誘電層93とで構成されている。本実施の形態では、単に実施の形態5で示したスパイラル形状のPoly—Polyキャパシタを2段に積層しただけではなく、Poly—Polyキャパシタ71を下部電極、Poly—Polyキャパシタ72を上部電極として、その間に第3誘電層73を挟むことで平行電極のPoly—Polyキャパシタを構成している。

【0035】

つまり、図7に示すように、第1ポリシリコン電極81の真上には第4ポリシリコン電極92、第2ポリシリコン電極82の真上には第3ポリシリコン電極91が第3誘電層73を介して配置されている。第1ポリシリコン電極81の端部84と第3ポリシリコン電極91の端部94、第2ポリシリコン電極82の端部85と第4ポリシリコン電極92の端部95とは、それぞれコンタクトホールを介して電気的に接続されている(図示せず)。このコンタクトホールにはアルミニ等の金属配線が形成される。そして、第1ポリシリコン電極81と第2ポリシリコン電極82とは、それぞれ異なる配線と接続されている(図示せず)。

【0036】

なお、図7に示すように、第1ポリシリコン電極81、第2ポリシリコン電極82、第3ポリシリコン電極91及び第4ポリシリコン電極92は層間絶縁層7

4中に形成するため、この層間絶縁層74が第1誘電層83、第2誘電層93及び第3誘電層73となる。また、第1ポリシリコン電極81、第2ポリシリコン電極82、第3ポリシリコン電極91及び第4ポリシリコン電極92は、N型又はP型ドーパントでドープされている。

【0037】

本実施の形態に係るPoly-Polyキャパシタは、第1ポリシリコン電極81と第2ポリシリコン電極82との線間容量を利用したスパイラル形状のPoly-Polyキャパシタ71と、第3ポリシリコン電極91と第4ポリシリコン電極92との線間容量を利用したスパイラル形状のPoly-Polyキャパシタ72と、さらにPoly-Polyキャパシタ71を下部電極、Poly-Polyキャパシタ72を上部電極とする平行電極のPoly-Polyキャパシタとを結合した大容量キャパシタを構成している。そのため、本実施の形態に係るPoly-Polyキャパシタは、キャパシタンス密度を上げることができる。

【0038】

また、MOSトランジスタのゲートを形成するとき同時に第1ポリシリコン電極81、第2ポリシリコン電極82、第3ポリシリコン電極91及び第4ポリシリコン電極92を形成することができる。そのため、特に新たな製造プロセスを追加することなく、本実施の形態に係るPoly-Polyキャパシタを形成することができる。従って、本実施の形態では、新たな製造プロセスを追加することなく、キャパシタンス密度が高い半導体装置を提供することができる。

【0039】

さらに、本実施の形態の変形例として、第1誘電層83、第2誘電層93及び第3誘電層73を層間絶縁層74よりも高い誘電率を有する材料に変更することで、本実施の形態に係るPoly-Polyキャパシタは、さらにキャパシタンス密度の高い大容量キャパシタを形成することができる。これは、第1誘電層83、第2誘電層93及び第3誘電層73のみ層間絶縁層74から他の誘電率の高い材料に変更するため、半導体装置内の他の素子の性能に悪影響を与えることなく、本実施の形態に係るPoly-Polyキャパシタのキャパシタンス密度を

上げることができる。

【0040】

また、本実施の形態の変形例として、端部84と端部94、端部85と端部95とを、それぞれアルミ等の金属配線で電気的に接続するのではなく、第1ポリシリコン電極81のポリシリコン層を直接第3ポリシリコン電極91に接続し、第2ポリシリコン電極82のポリシリコン層を直接第4ポリシリコン電極92に接続する。これにより、各ポリシリコン電極間を接続するためにアルミ等の金属配線の形成が不要となり、製造プロセスを削減することができる。

【0041】

(実施の形態7)

図10に、本実施の形態に係る半導体装置の断面図を示す。本実施の形態に係る半導体装置は、実施の形態1に示したMOSキャパシタとPoly-Polyキャパシタの積層キャパシタにおいて、Poly-Polyキャパシタ部分を実施の形態6に示したPoly-Polyキャパシタに置き換えた構成である。

【0042】

つまり、半導体基板上にN型又はP型ドーパントでドープした高電導拡散層1が形成される(図10の高電導拡散層1はN型ドーパントでドープされている)。高電導拡散層1の表面に、高電導拡散層1を酸化することでゲート酸化膜2が形成される。さらに、ゲート酸化膜2上にN型又はP型ドーパントでドープした第1ポリシリコン層3が形成される。本実施の形態の第1ポリシリコン層3は、スパイラル形状をした第1ポリシリコン電極101、第1ポリシリコン電極101の形状に沿って平行にスパイラル形状をした第2ポリシリコン電極102及びその間に挟まれた第1誘電層103で構成される。以上、半導体基板上の高電導拡散層1、ゲート酸化膜2及び第1ポリシリコン層3によってMOSキャパシタを構成している。

【0043】

次に、第1ポリシリコン層3上に誘電層104が形成される。さらに、誘電層104上にN型又はP型ドーパントでドープした第2ポリシリコン層5が形成される。本実施の形態の第2ポリシリコン層5は、スパイラル形状をした第3ポリ

シリコン電極105、第3ポリシリコン電極105の形状に沿って平行にスパイラル形状をした第4ポリシリコン電極106及びその間に挟まれた第2誘電層107で構成される。以上、第1ポリシリコン層3、誘電層104及び第2ポリシリコン層5によってP_o1y-P_o1yキャパシタを構成している。

【0044】

図10に示すように、第1ポリシリコン電極101の真上には第4ポリシリコン電極104、第2ポリシリコン電極102の真上には第3ポリシリコン電極105が第3誘電層104を介して配置されている。第1ポリシリコン電極101の端部と第3ポリシリコン電極105の端部、第2ポリシリコン電極102の端部と第4ポリシリコン電極106の端部とは、それぞれコンタクトホールを介して電気的に接続されている（図示せず）。このコンタクトホールにはアルミ等の金属配線が形成される。また、本実施の形態では、第1ポリシリコン層3を共通の電極としてMOSキャパシタ上にP_o1y-P_o1yキャパシタを積層した構成である。なお、図10に示すように、第1ポリシリコン電極101、第2ポリシリコン電極102、第3ポリシリコン電極105及び第4ポリシリコン電極106は層間絶縁層108中に形成するため、この層間絶縁層108が第1誘電層103、第2誘電層107及び誘電層104となる。

【0045】

次に、層間絶縁層108上に第1アルミ配線12が形成される。第1アルミ配線12は、コンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続されている。つまり、高電導拡散層1と第2ポリシリコン層5とが、同一のコンタクトホール13によって電気的に接続されている。

【0046】

本実施の形態では、実施の形態1と同様、第1アルミ配線12がコンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続しているため、従来のように高電導拡散層1と第2ポリシリコン層5とが別々にアルミ配線と電気的に接続する構成に比べて、第1アルミ配線12の配置できる面積が増加する。そのため、第1アルミ配線12の配線幅を太くすることや配線間隔を広くすることができる。

【0047】

さらに、本実施の形態では、実施の形態1のMOSキャパシタとPoly-Polyキャパシタの積層キャパシタに加えて、実施の形態5で示したスパイラル形状のPoly-Polyキャパシタを第1ポリシリコン層3及び第2ポリシリコン層5に設けている。そのため、実施の形態1に比べて第1ポリシリコン電極101と第2ポリシリコン電極102との間に形成される線間容量分と、第3ポリシリコン電極105と第4ポリシリコン電極106との間に形成される線間容量分だけキャパシタンス密度を上げることができる。よって、本実施の形態では、新たなキャパシタを追加することなく、既存のポリシリコン層を加工するだけで、高いキャパシタ密度を有する半導体装置を提供することができる。

【0048】

さらに、本実施の形態の変形例として、第1誘電層103、第2誘電層107及び誘電層104を層間絶縁層108よりも高い誘電率を有する材料に変更することで、本実施の形態に係る半導体装置は、さらにキャパシタンス密度の高い大容量キャパシタを形成することができる。これは、第1誘電層103、第2誘電層107及び誘電層104のみ層間絶縁層108から他の誘電率の高い材料に変更するため、半導体装置内の他の素子の性能に悪影響を与えることなく、本実施の形態に係る半導体装置のキャパシタンス密度を上げることができる。

【0049】

また、本実施の形態の変形例として、第1ポリシリコン電極101の端部と第3ポリシリコン電極105の端部、第2ポリシリコン電極102の端部と第4ポリシリコン電極106の端部とを、それぞれコンタクトホールを介して電気的に接続するのではなく、第1ポリシリコン電極101を直接第3ポリシリコン電極105に接続し、第2ポリシリコン電極102を直接第4ポリシリコン電極106に接続する。これにより、電極間を接続するためのコンタクトホールや金属配線の形成が不要となり、製造プロセスを削減することができる。

【0050】

【発明の効果】

本発明に記載の半導体装置は、Poly-PolyキャパシタがMOSキャパ

シタ上に積層され、第1導電型拡散層と第2ポリシリコン層とが同一の第1金属配線と電気的に接続されているので、MOSキャパシタとP_ol_y-P_ol_yキャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供することができる。

【0051】

また、本発明に記載の別の半導体装置は、スパイラル形状の第1ポリシリコン電極と、第1ポリシリコン電極の形状に沿って平行に形成されるスパイラル形状の第2ポリシリコン電極と、第1ポリシリコン電極と第2ポリシリコン電極との間に挟まれた第3誘電層とを有する第1P_ol_y-P_ol_yキャパシタを備えるので、第1ポリシリコン電極と第2ポリシリコン電極との線間容量を利用した大容量キャパシタを形成することができる効果がある。さらに、MOSトランジスタのゲートを形成するとき同時に第1ポリシリコン電極及び第2ポリシリコン電極を形成することができるので、特に新たな製造プロセスを追加することなく、スパイラル形状のP_ol_y-P_ol_yキャパシタを形成することができる効果がある。

【図面の簡単な説明】

- 【図1】 本発明の実施の形態1に係る半導体装置の断面図である。
- 【図2】 本発明の実施の形態2に係る半導体装置の断面図である。
- 【図3】 本発明の実施の形態3に係る半導体装置の断面図である。
- 【図4】 本発明の実施の形態4に係る半導体装置の断面図である。
- 【図5】 本発明の実施の形態5に係るP_ol_y-P_ol_yキャパシタの平面図である。
- 【図6】 本発明の実施の形態5に係るP_ol_y-P_ol_yキャパシタの断面図である。
- 【図7】 本発明の実施の形態6に係るP_ol_y-P_ol_yキャパシタの断面図である。
- 【図8】 本発明の実施の形態6に係るP_ol_y-P_ol_yキャパシタの平面図である。
- 【図9】 本発明の実施の形態6に係るP_ol_y-P_ol_yキャパシタの平

面図である。

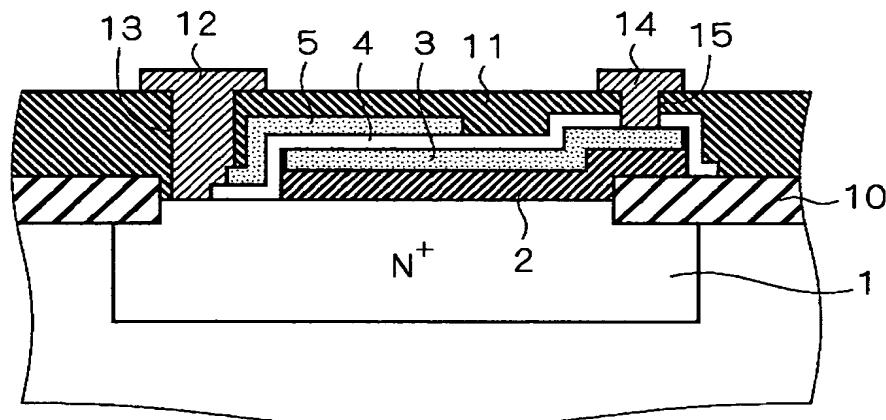
【図10】 本発明の実施の形態7に係る半導体装置の断面図である。

【符号の説明】

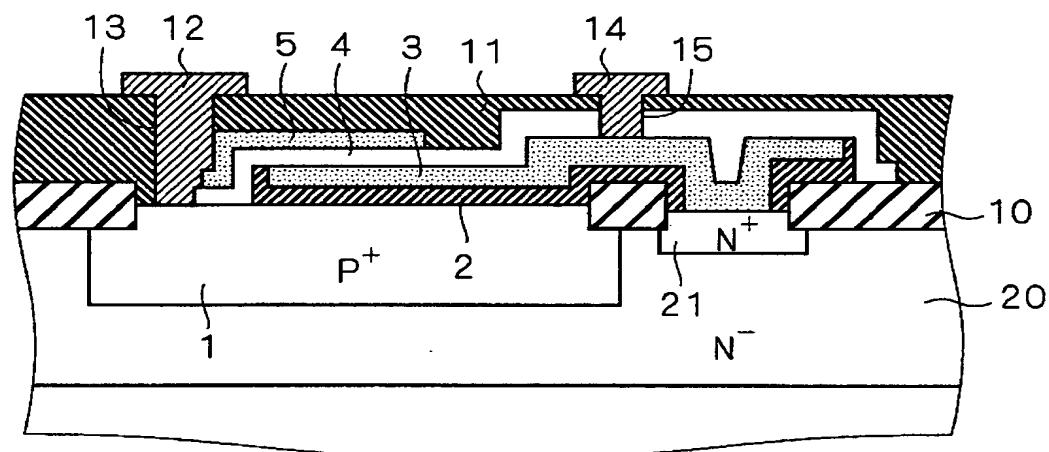
1, 21 高電導拡散層、 2 ゲート酸化膜、 3 第1ポリシリコン層、 4, 33, 104 誘電層、 5 第2ポリシリコン層、 10, 50 LOCOS、 11, 30 絶縁層、 12 第1アルミ配線、 13, 15, 31, 32, 44, 55 コンタクトホール、 14 第2アルミ配線、 20, 40 拡散層、 34 第3アルミ配線、 41 埋め込み酸化膜、 42 トレンチ酸化膜層、 43 側壁拡散層、 54, 74, 108 層間絶縁層、 71, 72 Poly-Polyキャパシタ、 51, 81, 101 第1ポリシリコン電極、 52, 82, 102 第2ポリシリコン電極、 53, 83, 103 第1誘電層、 91, 105 第3ポリシリコン電極、 92, 106 第4ポリシリコン電極、 93, 107 第2誘電層、 73 第3誘電層、 84, 85, 94, 95 端部。

【書類名】 図面

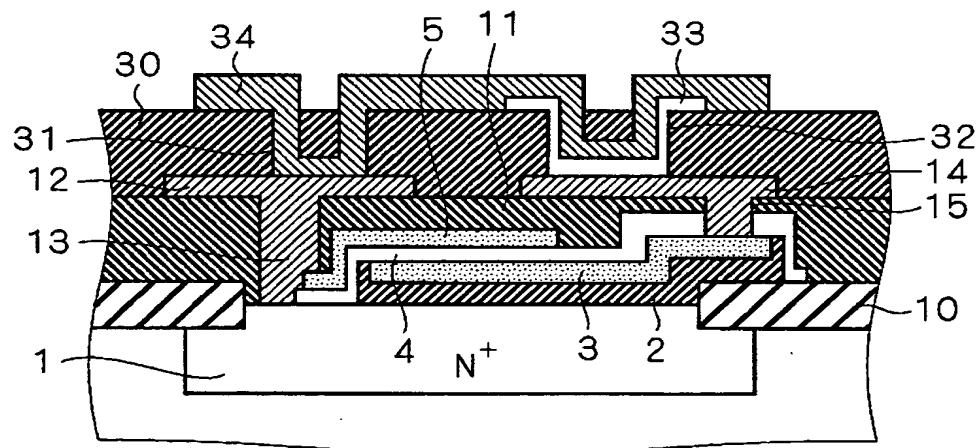
【図1】



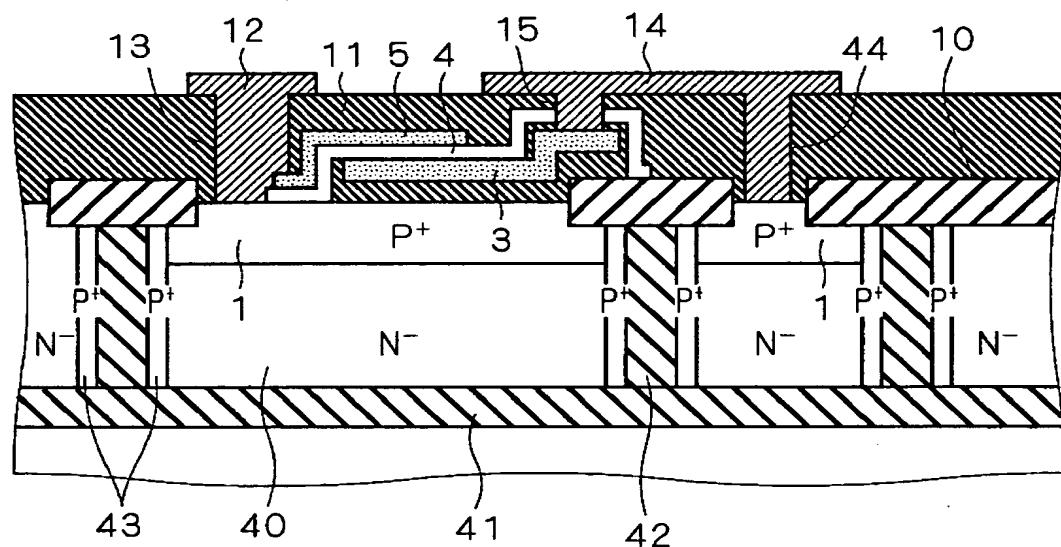
【図2】



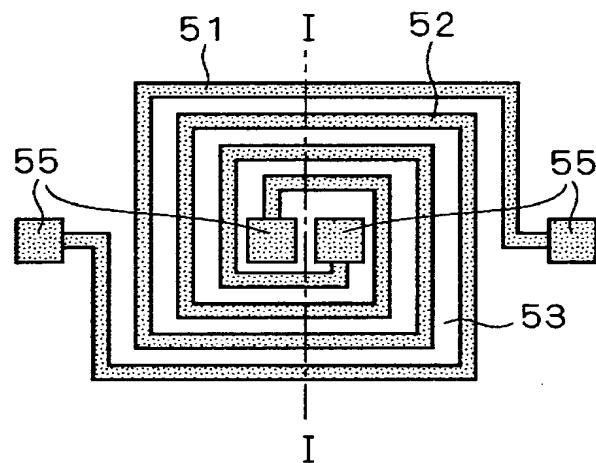
【図3】



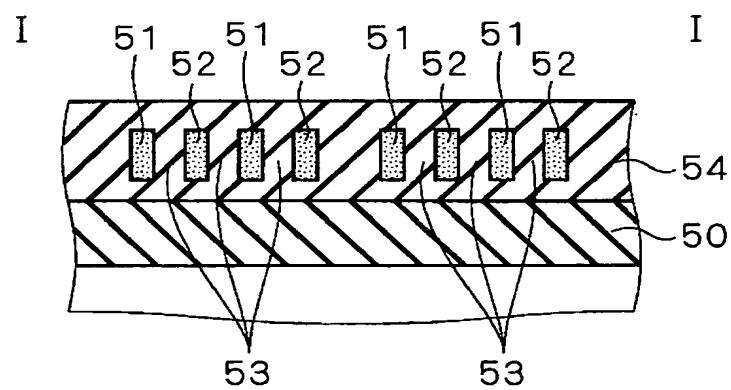
【図4】



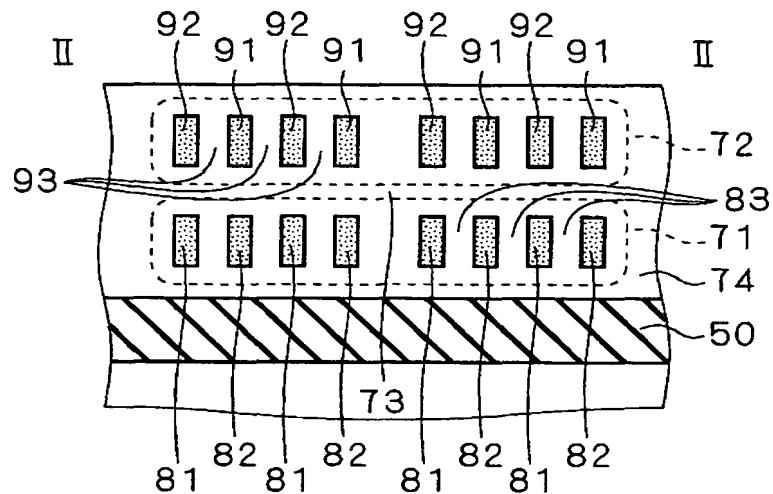
【図5】



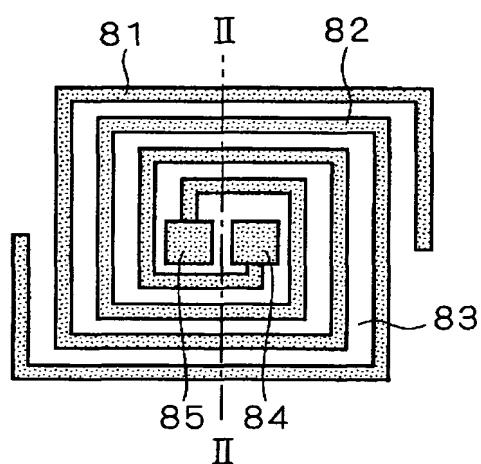
【図6】



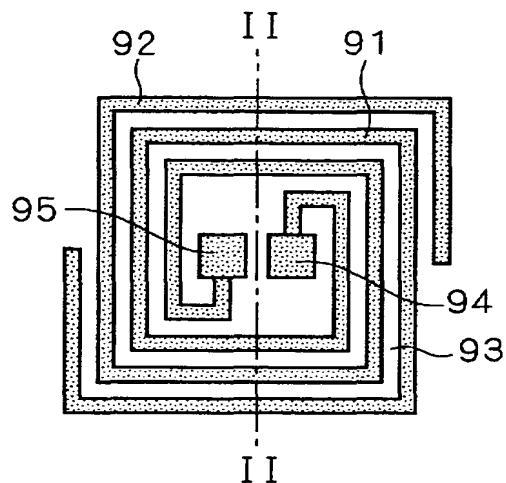
【図7】



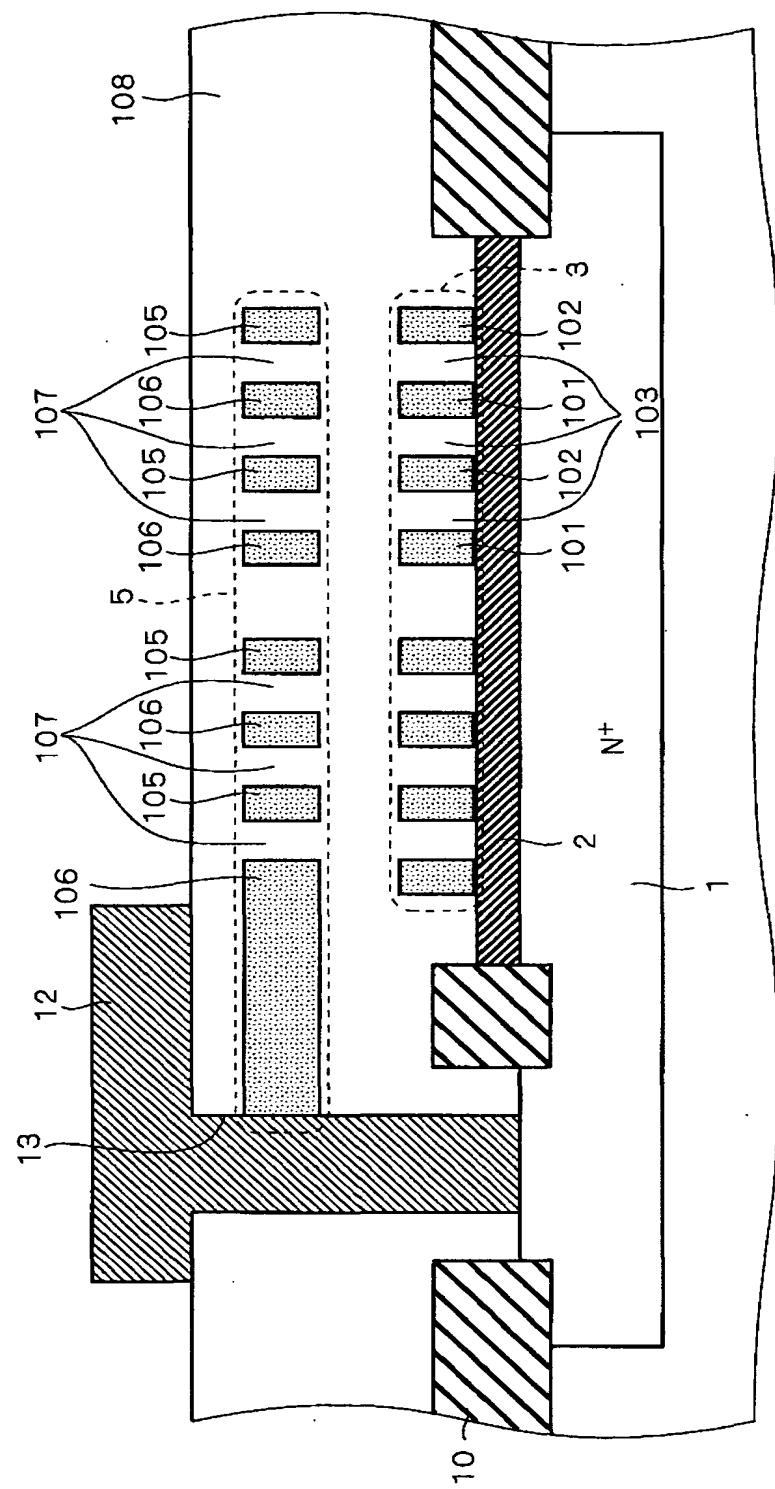
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 MOSキャパシタとPoly-Polyキャパシタの積層キャパシタを備える半導体装置において、過度の微細加工が不要な構造の半導体装置を提供する。また、製造プロセスや製造コストの増加を抑え、キャパシタンス密度を上げることができる半導体装置を提供する。

【解決手段】 半導体基板上にN型又はP型ドーパントでドープした高電導拡散層1が形成される。高電導拡散層1の表面に、高電導拡散層1を酸化することでゲート酸化膜2が形成される。ゲート酸化膜2上にN型又はP型ドーパントでドープした第1ポリシリコン層3が形成される。第1ポリシリコン層3上に誘電層4が形成される。誘電層4上にN型又はP型ドーパントでドープした第2ポリシリコン層5が形成される。絶縁層11上の第1アルミ配線は、コンタクトホール13を介して高電導拡散層1及び第2ポリシリコン層5と電気的に接続されている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社